

文章编号:1674-2869(2008)04-0090-03

PLL 电路在磁悬浮转子振动信号提取中的应用

张丹红^{1,2} 赖晓珍² 昌红武²

(1. 武汉大学电气工程学院, 湖北 武汉 430072; 2. 武汉理工大学自动化学院, 湖北 武汉 430070)

摘要:在分析了整周期采样必要性的基础上,提出了利用集成 PLL 电路实现整周期采样的方案,并针对磁力轴承系统的特点对电路参数进行了设计,同时对锁相环的锁相速度进行了改善. MATLAB 仿真结果表明本方案可以有效地提取振动信号.

关键词:磁悬浮转子;整周期采样;不平衡振动;PLL

中图分类号:TP 802¹ 4. **文献标识码:**A

0 引言

在磁悬浮控制系统中,转子的质量不平衡会引起与转速同频的激振力,导致转子产生正弦周期振动^[1].当转速达到一定程度时,不平衡振动的幅值将超过气隙,使转子与轴承发生碰撞,严重影响系统的动态特性及安全运行.因此磁悬浮转子的不平衡补偿显得尤为重要.

要进行不平衡振动补偿,必须从转子位移信号中提取与转速同频的振动信号.在磁悬浮控制系统中一般采用固定的采样频率,这种方法实现简单,便于程序编写;但其缺点是采样频率固定,不能跟踪转子转速的变化,导致对位移信号进行 DFT 频谱分析时产生栅栏效应与泄露效应,不能准确反映转子的当前振动状况.针对此情况,提出一种可以抑制栅栏效应与泄露效应的磁悬浮转子位移整周期采样方案.

1 整周期采样与实现

整周期采样^[2]是指系统的采样频率动态地跟踪信号频率的变化,采样频率与信号频率间呈一固定的整数比例关系.根据对 DFT 算法分析可知,对周期信号进行多段频谱平均时,如果每段样本长度等于信号周期长度的整数倍,则 DFT 所得离散频谱与信号真实频谱完全吻合;反之,由于样本截断长度的随机性,经 DFT 的周期延拓处理,将使信号产生较大的畸变,使所得的离散频谱中产生许多不可知的虚假频率成份.所以,为了保证振动信号的周期完整,必须采用整周期采样.

利用锁相环(PLL)倍频电路实现磁悬浮转子

位移信号的整周期采样,原理框图如图 1 所示.其中 AMB 代表磁力轴承, DSP 代表数字信号处理器, PLL 代表锁相环倍频电路. U_r 是参考电压,大小等于转子平稳悬转时传感器的输出电压值,作为电压比较器的一个输入.当转子高速旋转时,传感器输出转子平衡位置(等于 U_r)与正弦振动的叠加信号,此叠加信号经低通滤波器滤除毛刺、高频干扰后作为电压比较器的另一个输入 U_i .在正弦振动信号的正半周, U_i 大于 U_r , 比较器输出高电平,负半周时输出低电平.可以在比较器输出端得到与转速同频的方波信号 U_d ,再经 PLL 电路后输出一频率 N 倍于转子转速的方波信号 U_o . DSP 在 U_o 的上升沿对转子位移进行采样,从而实现了转子位移信号的整周期采样.只要取适当的 N 值,就能有效地防止栅栏效应与泄露效应.

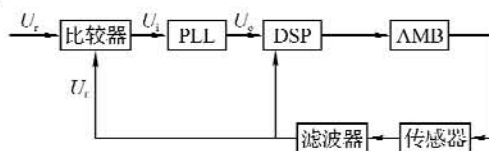


图 1 磁悬浮系统中整周期采样方案原理框图
Fig. 1 The principle block diagram of integral period sampling in AMB

2 锁相环倍频电路基本原理与主要参数设计

2.1 锁相环倍频电路基本原理

锁相环倍频电路由鉴相器(PD)、环路滤波器(LPF)、压控振荡器(VCO)和分频器四部分组成^[3],如图 2 所示.本系统采用内含鉴相器、压控振荡器的 CD4046 集成电路作为锁相环,以 CD40103 作为分频器.

收稿日期:2008-03-24

基金项目:国家自然科学基金资助项目(50375113);湖北省自然科学基金资助项目(2005ABA282)

作者简介:张丹红(1968-),女,湖北汉川人,教授,博士研究生,研究方向:磁力轴承、智能控制.

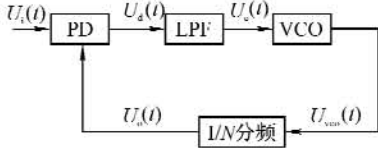


图2 PLL电路基本原理图

Fig. 2 The principle diagram of PLL circuit

鉴相器的输出 $U_d(t)$ 是 $U_i(t)$ 与 $U_o(t)$ 之间相位差的比例函数, 鉴相器通常是一模拟乘法器, $U_d(t)$ 可表示为

$$U_d(t) = K_d \sin \theta_c(t) \quad (1)$$

其中 K_d 是鉴相器增益

$$U_i(t) = U_i \sin(\omega_i t + \theta_i)$$

$$U_o(t) = U_o \cos(\omega_o t + \theta_o)$$

$$\theta_c(t) = \theta_i(t) - \theta_o(t)$$

当 $\theta_c(t) \leq 30^\circ$ 时, $U_d(t)$ 可以近似为

$$U_d(t) = K_d \theta_c(t) \quad (2)$$

环路滤波器, 实际是一无源低通滤波器, 用于滤 $U_d(t)$ 中的 $2\omega_o$ 成份。它的好坏直接关系到锁相环能否正常工作。设其频域传递函数为 $F(s)$, 可得

$$U_c(s) = F(s) U_d(s) \quad (3)$$

压控振荡器是一电压-频率转换器, 输出电压 $U_{vco}(t)$ 的瞬时频率 $\omega_{vco}(t)$ 是控制电压 $U_c(t)$ 的函数, 在环路锁定点附近, 振荡角频率为

$$\omega_{vco}(t) = \omega_c + K_o U_c(t) \quad (4)$$

式(4)中, K_o 为控制特性斜率, ω_c 为中心频率。

在频域时表示为

$$\theta_{vco} = \frac{K_o}{s} U_c(s) \quad (5)$$

2.2 锁相环倍频电路参数设计

2.2.1 倍频系数 N 的设计 根据香农采样定理, N 应尽量大, 使采样所得的位移信号能准确反映转子的当前振动状况。通过对正弦信号的采样仿真, 综合考虑处理器的处理速度, N 取 12 即采样频率 12 倍于转子转速。

2.2.2 锁相范围的设计 在某实验系统中, 当磁悬浮转子转速达到约 83 r/s 时, 开始出现不平衡振动现象, 且随着速度的增加而加剧。最高转速可以达到约 400 r/s, 即 PD 的输入频率为 50~400 Hz, 12 倍频后 VCO 的振荡频率为 600~4 800 Hz, 为留有一定的裕量, 取 500~5 000 Hz 为锁相环的锁相范围。

由 CD4046 数据手册可知, 6、7 脚间的电容 C_1 与 12 脚对地电阻 R_2 的乘积值决定最小锁相频率 f_{\min} ; 通过设置 11 脚对地电阻 R_1 改变 R_2/R_1 的大小, 再由 f_{\max}/f_{\min} 与 R_2/R_1 的曲线关系图^[1] 可求出最大锁相频率 f_{\max} 。本设计取 $C_1 = 100$ nF, $R_2 =$

800 k Ω , $R_1 = 10$ k Ω 。实验电路的实测数据显示, $f_{\min} = 260$ Hz, $f_{\max} = 8 000$ Hz, 完全可以满足磁悬浮系统锁相范围 500~5 000 Hz 的要求。

2.2.3 环路滤波器的设计 PD 的输出最大值为 5 V, $U_i(t)$ 与 $U_o(t)$ 最大相位差为 4π , 所以鉴相器的增益为

$$K_d = \frac{5}{4\pi} = 0.398 \text{ (V/r)}$$

VCO 的输入输出特性在中心点附近近似为一条直线。 $U_c(t)$ 为 1.5~2.5 V 时, VCO 的输出频率在 1 450~4 380 Hz 之间变化, 计算可得 VCO 的增益为

$$K_v = 18 723 \text{ (r/s)}$$

鉴相器、VCO 与分频器的合成传输特性为

$$\frac{K_d \cdot K_v}{N} = 621 \text{ (r/s)}$$

其中 N 等于 12。单位转换为 Hz, 则合成传输特性 f_{vpo} 变为

$$f_{vpo} = \frac{K_d \cdot K_v}{N \cdot 2\pi} = 99 \text{ (Hz)}$$

根据一般 PLL 电路的锁相时间和输出波形频谱的形式, 相位裕量为 $40^\circ \sim 50^\circ$ 时, 滤波器的效果最佳^[4]。本系统采用图 3 所示无源滞后超前滤波器, 信号从 IN 端输入, 从 OUT 端输出。频率响应波特图如图 4 所示。可以看到有两个拐点 f_L 和 f_H , 其中 M 是平坦处增益。它们可由下列式子求出:

$$f_H = \frac{1}{2\pi C_3 R_4} \quad (6)$$

$$f_L = \frac{1}{2\pi R_1 (C_2 + C_3)} \quad (7)$$

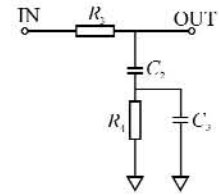


图3 无源滞后超前滤波器

Fig. 3 The lagging passive power filter

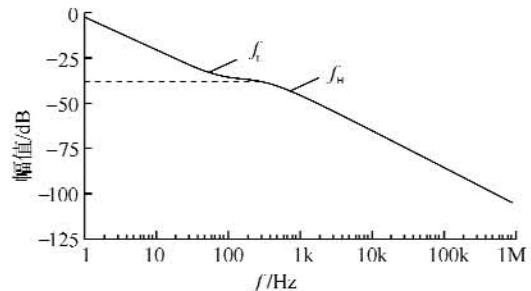


图4 源滞后超前滤波器的频率响应波特图

Fig. 4 The frequency response of lagging passive power filter

$$M = \frac{R_4}{R_3 + R_4} \quad (8)$$

查找滤波器设计的规格化曲线^[4],得环路滤波器相位滞后为 40° 、相位裕量带宽比为 1 时有:

$$f_H = 9.9 \times 2.54 = 25.2 \text{ Hz}$$

$$f_L = 9.9 \times 0.435 = 4.3 \text{ Hz}$$

取 $R_1 = 10 \text{ k}\Omega$,代入式(6)、(7)、(8)可计算得到 $R_3 = 91 \text{ k}\Omega$, $C_2 = 3.3 \text{ }\mu\text{F}$, $C_3 = 660 \text{ nF}$.

3 锁相环倍频电路的改进措施

虽然 PLL 电路自身有很好的频率跟踪特性,但要应用到高速的磁悬浮转子系统中,必须对 PLL 电路进行改进,以提高锁相速度,排除鉴相器与 VCO 之间的互扰。

3.1 鉴相器与 VCO 之间的互扰

对于 PLL 电路,VCO 的振荡信号经分频后与输入信号比较,用环路滤波器滤除该比较频率成份。然而即使环路滤波器对该比较频率成份有较大的衰减作用,但若不能减小 VCO 中与比较频率有关的寄生成份,排除 VCO 与鉴相器之间的互扰,很可能使电路无法正常工作。

在 CD4046 内,VCO 与鉴相器的封装共用一个地,地线产生共用阻抗 Z_c ,该阻抗中有电感成份,频率越高时阻抗越高。鉴相器工作时,地线中有电源电流 I_{PD} 流过,其周期为比较频率的周期。由于存在 I_{PD} 和 Z_c ,在 Z_c 两端出现频率为比较频率的脉冲电压 $Z_c I_{PD}$ 。

VCO 将输入端与共用地之间的电压作为控制电压。因此,若鉴相器的电源电流在 Z_c 两端产生了脉冲电压,则 VCO 的输入信号变成 $U_c(t) + Z_c I_{PD}$ 。这样,VCO 的控制输入信号中就混入了比较频率成份。

为了避免鉴相器与 VCO 之间互扰,可使用两片 CD4046,鉴相器与 VCO 各自在不同的封装中。另外,在不改变环路滤波器的频率特性情况下,阻抗减小到 $1/2$ (电阻值为原来的 $1/2$,电容值为原来的 2 倍, $R_4 = 5.1 \text{ k}\Omega$, $R_3 = 47 \text{ k}\Omega$, $C_3 = 1.2 \text{ }\mu\text{F}$, $C_2 = 6.6 \text{ }\mu\text{F}$),减小共用阻抗 Z_c ,将进一步减小互扰。

3.2 提高锁相速度

设计 PLL 电路时,一方面要求达到目的频率的锁定时间尽量短,速度尽量快,环路滤波器的时间常数尽量小;另一方面,要降低比较频率及其带来的寄生成份,又要求环路滤波器的时间常数尽量大。用模拟开关切换环路滤波器时间常数的方法能很好地解决这一矛盾。

图 5 中,频率偏离大而失锁时,CD4046 的

PCP_{OUT}脚输出低电平,比较器 LM311 输出高电平,模拟开关 74HC4066 接通,环路滤波器的时间常数变小;PLL 相位锁定时,比较器输出低电平,模拟开关断开,实现对环路滤波器时间常数的切换,这时比较频率及其寄生成份可以得到足够大的衰减。通过电路实验可以观察到,锁相时间由原来的 70 ms 缩短到 20 ms 左右。

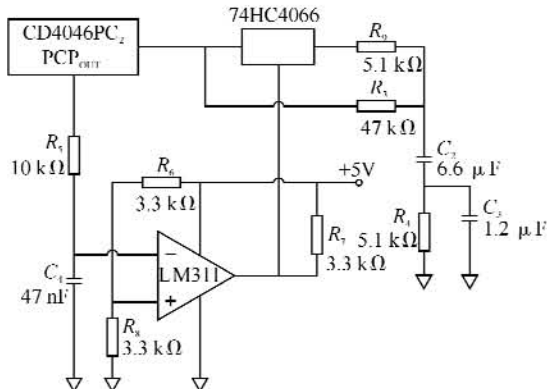


图 5 利用 PCP_{OUT} 切换环路滤波器常数的电路图

Fig. 5 The circuit diagram of switching loop filter using PCP_{OUT}

4 仿真结果

在 MATLAB 中建立 PLL 采样模型,在输入端加入频率为 250 Hz、峰峰值为 1.8 V^[5] 的正弦波和 3 V 的直流信号,分别代表不平衡振动和转子位移信号,采样频率取 3 000 Hz,12 倍于转子转速,将采样值经过 FFT 后得到频谱图 6。由图 6 可以看出在 250 Hz 处可以有一幅值很大的信号,即是所要提取的振动信号。

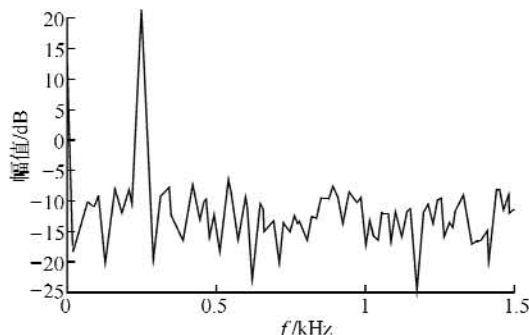


图 6 转子位移信号频谱图

Fig. 6 The spectrogram of rotor's displacement signal

5 结 语

综上所述,PLL 电路整周期采样模块设计相对简单,锁相范围改变方便,锁相速度快,能有效解决栅栏效应和泄漏效应,采样信号的频谱分析能准确反映转子的当前振动状况。

(下转第 111 页)

The design and implementation of student's dormitory management system in the construction of digital campus

SHU Pan¹, CHEN Jin-gang²

(1. Educational Administration Office, Wuhan Institute of Technology, Wuhan 430074, China;

2. Materials Purchasing Center, Wuhan Institute of Technology, Wuhan 430074, China)

Abstract: The facts for colleges to manage dormitory have been analyzed, the background and the function and structure of this system were introduced. The design of this system and method of implementation were also discussed, which is scientific and efficient and convenient to manage student dormitory now, and it has been realized to share data for other management information system.

Key words: digital campus; dormitory management; dormitory assignment; MIS

本文编辑:陈晓革



(上接第92页)

参考文献:

- [1] Shafai B, Beale S, Larocca P, et al. Magnetic bearing control systems and adaptive forced balancing[J]. Control Systems Magazine IEEE, 1994, 14(2): 4-13.
- [2] Holt A G, Hill J J. Integral sampling [J]. Proc IEEE, 1973, 61(5): 678-679.
- [3] Engellberg S. Operation of the phase lock loop[J]. Computer and Mathematics with Applications, 2000, 40(10): 1253-1261.
- [4] 运坂俊昭著, 锁相环(PLL)电路设计与应用[M], 何希才译. 北京: 科学出版社, 2006: 24-27.
- [5] 牟 鸿. 磁轴承的不平衡补偿研究[D]. 南京: 南京航空航天大学, 2003.

Application of PLL to vibration signal extraction of magnetic ally suspended rotor system

ZHANG Dan-hong^{1,2}, LAI Xiao-zhen², CHANG Hong-wu²

(1. College of Electrical Engineering, Wuhan University, Wuhan 430072, China;

2. College of Automation, WUT Wuhan 430070, China)

Abstract: The necessity of integral period sampling is analyzed. On the basis, an solution scheme for integral period sampling is proposed, and improvement is added to the general PLL to get an faster phase lock speed for AMBs. The results of MATLAB simulation indicate that the vibration signal could be extracted effectively by using the proposed scheme.

Key words: magnetically suspended rotor; integral period sampling; unbalance vibration; PLL

本文编辑:陈晓革