

基于 DSP 和 FIFO 信号采集系统硬件设计及实现

贺 玺,杨述斌,曹 珩,雷玉洁

(武汉工程大学电气信息学院,湖北 武汉 430074)

摘 要:提出了一个基于 FIFO 和 DSP 的高速数据信号采集系统的设计,给出了该系统的总体设计方案和具体硬件电路,包括 FIFO 内部电路结构的阐述、电源和复位电路设计、FIFO 与 DSP 的连接等。实验表明:该系统结构清晰、电路简洁、易于实现。

关键词:FIFO;DSP;高速数据信号采集

中图分类号:TP29

文献标识码:A

doi:10.3969/j.issn.1674-2869.2011.01.020

0 引 言

随着数字化生活的高速发展,高速数据信号采集系统在日常生活中的应用越来越显著。由于系统需要的采样速度非常高,使得对高速采集系统的性能要求极为显著。这也导致了目前市场上高性能的高速数据采集卡一般来说相当昂贵,原因主要是高速电子器件成本、制作工艺和高密集的技术含量所造成^[1]。本文主要介绍一种采用 FIFO 高速缓冲、USB2.0 接口和高性能 DSP 构成的高速数据信号采集系统,主要为数字电视机顶盒的语音信号所设计,同时也可以应用于图像处理、雷达信号处理等相关领域。

1 系统方案设计及器件特性

AD 模数转换芯片采集信号,将其储存在高速缓冲 FIFO 中,DSP 通过扩展总线读取 FIFO 中的数据,同时提供精确稳定的时钟给 AD,控制 AD 的采样频率。信号处理的算法编成程序保存在外部 Flash 上,供 DSP 上电读程序到其内部 RAM 单元,高速运行程序。DSP 通过 USB 片内 FIFO 与 USB 进行高速数据传输,并通过 USB 将数据传输到 PC 机。系统的原理框图如图 1 所示。

系统所用器件特性如下。

a. DSP 采用美国 TI 公司高性能数字信号处理器 TMS320C6203B。采用增强的哈佛总线结构,有 8 个独立功能单元可以并行操作,工作时钟频率可以达到 300MHz,最大处理能力为 2400MIPS;内部具有 4Mbit 的数据空间和 3Mbit

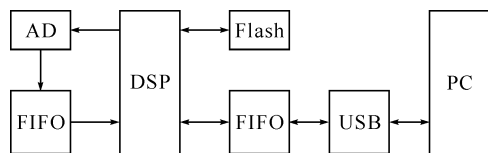


图 1 系统结构框图

Fig. 1 Structure diagram of system

的程序空间、3 个多通道缓冲串口(可以做通用 I/O 口使用)、4 个 DMA 通道、32bit 的扩展总线、两个定时器、双电源供电(I/O 口为 3.3 V,核电压为 1.5 V);外围设备接口丰富,有外部存储器接口(EMIF)、外部扩展总线(XB)、多通道缓冲串口(McBSPs)、主机接口(HPI),与外部存储器、协处理器、主机的连接非常方便^[2]。

b. AD 选择 TI 的 ADS5422,分辨率为 14bit,最高采样频率可达 62 Msps,采用单一 5 V 电源供电。当采样频率为 10 M 时其最大动态范围为 82 dB,最高信噪比达到 72 dB。模拟信号输入可以采用单端输入或者差分输入,最高输入信号的峰值为 4 V,数字量输出可以直接和 5 V 或者 3.3 V 的 CMOS 芯片连接。

c. 高速缓存 FIFO(先进先出)选用美国 IDT 公司的 IDT72V2113,具有 512k×9bit 的数据空间,通过引脚设置成 256k×18bit、133MHz 的操作时钟、最快 7.5 ns 的读写周期、单一 3.3 V 电源供电;可通过字长扩展和深度扩展两种方式进行容量扩展,使得多片 IDT72V2113 形成更大容量的缓冲^[3]。

d. Flash 采用美国 SST 公司的 SST29LE010,容量为 128K×8bit。高可靠性、快速

写操作、低功耗、兼容性好、单一 3.3 V 电压供电，可以直接和 DSP 连接。

e. USB 选用 Cypress 公司的 CY7C68013，主要包括 1 个 8051 处理器、1 个智能串行接口引擎 (SIE)、1 个 USB 收发器、16KB 片上 RAM(包括 4KB FIFO)存储器以及 1 个通用可编程接口 (GPIF)^[4]。

2 硬件电路设计

2.1 IDT72V2113 的内部电路

IDT72V2113 的内部结构如图 2 所示，主要由一个内部 RAM 阵列以及读写控制单元、读写指针单元、输入输出寄存器、标志信号以及复位单元组成。其内部 RAM 阵列采用先进先出设计技术，外部数据首先存到输入数据寄存器，再传送到 RAM 阵列，依次保存，数据的先后顺序通过修改写指针确认。RAM 阵列始终检测输出数据寄存器的状态，一旦为空，RAM 阵列的数据送到输出数据寄存器，数据的读顺序通过读指针来控制。通过设置输出使能OE引脚为高状态来禁止数据的输出，以减低芯片的功耗^[4]。为了方便数据的读写，IDT72V2113 还增加了一些对数据读写的控制信号，包括读写使能、读写时钟以及字宽控制等。

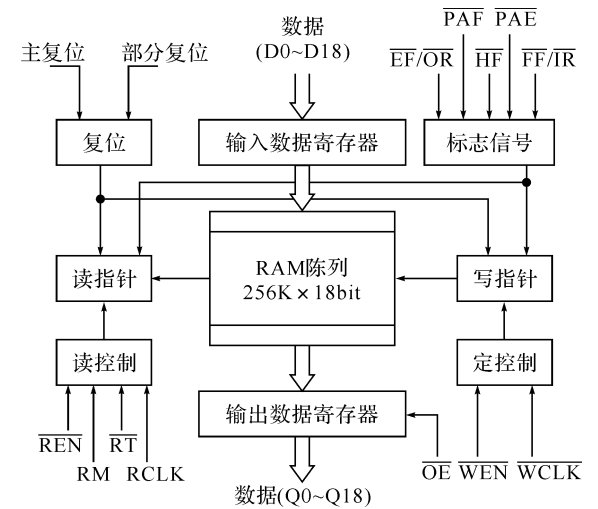


图 2 IDT72V2113 内部结构框图

Fig. 2 Internal structure diagram of IDT72V2113

2.2 电源和复位电路设计

在 TI 公司的 DSP 系列中，TMS320C6000 系列的 DSP 一般都采用 3.3 V 和 1.5 V 电压供电，其中 I/O 采用 3.3 V 电压，芯片内核采用 1.5 V 电压。实际常用的只有 5V 电压，所以必须采用电压转换芯片，将 5 V 电压转换成 3.3 V 和 1.5 V，供 DSP 使用。本系统选择 TI 公司的 TPS70348 系

列单电源芯片，该芯片可以同时输出 3.3 V 和 1.5 V 两种电压，供 DSP 使用。TPS70348 的硬件电路如图 3 所示，TPS70348 除了提供电源外，还提供上电复位和手动复位信号到 DSP^[2]。

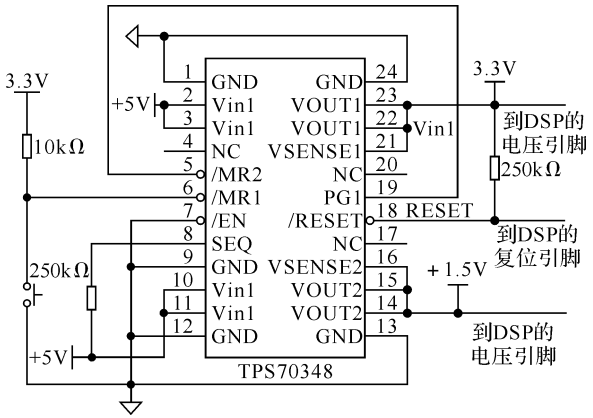


图 3 TPS70348 内部电路

Fig. 3 Internal circuit of TPS70348

2.3 ADS5422 与 TMS320C6203B 的连接

ADS5422 和一般的 AD 转换器不同，在于外部时钟信号必须经过内部时钟电路提供给内部各个逻辑单元，由于 ADS5422 的内置时钟电路，使得 ADS5422 对各种时钟都兼容，包括正弦波或者方波、TTL 电平或者 CMOS 电平、单端时钟信号或者差分时钟信号。此外，ADS5422 提供外部数据输出电压驱动 VDRV 引脚，一般接 5V 电压，但如果将引脚连接到 3.3 V 电压，数据输出将可以直接接到 3.3 V 的外部器件上。

由于单端输入方式连接简单，但抗噪性能差，所以我们一般采取差分输入方式。这样，可以减少信号噪声以及电磁的干扰，尤其是采用差分输入方式可以将所有的偶次谐波通过正反两个输入信号基本上互相抵消。

ADS5422 和 TMS320C6203B 的硬件连接如图 4 所示。使用 TMS320C6203B 的 32 bit 外部扩展总线接口 (XBUS) 连接 ADS5422，实现 XBUS 从 ADS5422 读取数据并存储在 TMS320C6203B 的内部 RAM 中(由于 ADS5422 只有 14bit 数据，实际上只需要使用 XBUS 的低 14bit)；使用 TMS320C6203B 的定时器输出信号 TOUT0 提供精确稳定的时钟给 ADS5422，控制 AD 的采样频率，并且该时钟可根据定时器参数有软件设置，增加 AD 采样频率的灵活性。在 DSP 内部寄存器中，将多通道缓冲串口 (MBSP) 的引脚设置成通用的 I/O 引脚，使用 DR0、DR1 以及 DX0 引脚读入或者写入 ADS5422 的控制信号 OVR、DV。

2.4 ADS5422 与 IDT72V2113 的连接

虽然 ADS5422 的供电电压为 5 V，但其输出

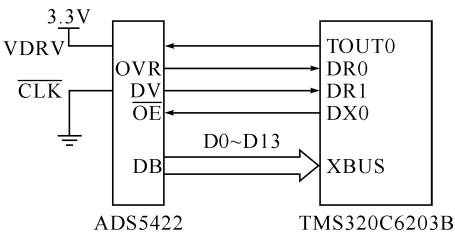


图 4 ADS5422 和 TMS320C6203B 的连接
Fig. 4 ADS5422 connect with TMS320C6203B

的数字信号电平兼容 3.3 V 电平,因此不需要电平转换芯片,只要将 ADS5422 的数据线与 IDT72V2113 的数据线相连即可。但是,ADS5422 采样和存储采样数据到 IDT72V3113 中,这两个操作对时序配合要求非常严格,如果两者时序关系配合得不是很好,就会发生数据存储出错或者掉数。如何简单、可靠地实现采样和存储是设计这部分电路的难点,一般的方法是,通过可编程逻辑

器件(CPLD 或 FPGA)来实现 ADC 与 FIFO 存储器之间的时序,即由 CPLD 或 FPGA 来控制 ADC 采样和 FIFO 存储器的写操作。但是,通过仔细查看 ADS5422 和 IDT72V2113 的工作时序图,找到了一种简单可靠的实现方法,此方法不需要 CPLD 或 FPGA 就可以实现两者的时序配合。

首先分析 ADS5422 的工作时序图,如图 5 所示,其中 t_1 为采样时钟上跳沿到输出数据无效之间的时间间隔,即数据保持时间,其大小为 3 ns。查看 IDT72V2113 的相关文档可知,对其进行写操作时,数据线的保持时间大于 1 ns 即可满足要求。因此,ADS5422 与 IDT72V2113 之间的时序配合可以采用以下简单的实现方法:ADS5422 的采样时钟和 IDT72V2113 的写时钟采用同一个时钟源,这样,每一个时钟的上跳沿,ADS5422 进行模数转换,同时将上个时钟周期内输出的采样数据存储到 IDT72V2113 内部。

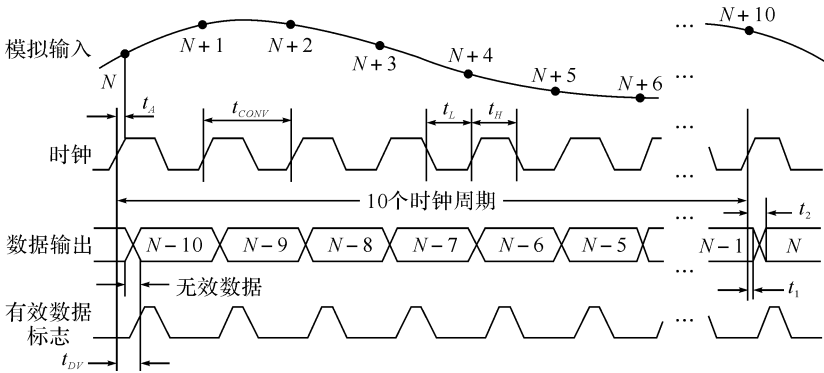


图 5 ADS5422 的采样时序
Fig. 5 Sampling time sequence of ADS5422

2.5 IDT72V2113 与 TMS320C6203B 的连接

由于单片 IDT72V2113 的容量为 $512k \times 9bit$,对于本文设计的高速语音采集系统而言,其容量显得过小了,所以要对其进行字长扩展和深度扩展。

C6203B 的外部扩展总线(XBUS)宽度为 32 位,可以实现与同步 FIFO 无缝连接,可以同时无缝实现四个 FIFO 写接口或者实现 3 个 FIFO 写接口及 1 个 FIFO 读接口。通过无缝连接实现 FIFO 读接口, FIFO 必须连接到上,数据通过 DMA 方式从 IDT72V2113 传送到 C6203B 的片内 RAM 中,具体连接如图 6 所示。图 6 中,4 片 IDT72V2113 经过字长和字深扩展形成 2MB 的数据输入缓冲,输入数据总线(D0~D15)、输出数据总线(Q0~Q15)、读使能(\overline{REN})、读时钟(RCLK)、写使能(\overline{WEN})、写时钟(WCLK)和将空标志信号(PAE)是由 4 片 IDT72V2113 的相应信号组合形成的;为外部扩展总线(XBUS)的空间

选择信号,XFCLK 为外部扩展总线(XBUS)的输出时钟,EXT_INT4 是 C6203B 的外部中断信号 4,DX0 用作通用输出口,控制 IDT72V2113 的写使能信号。

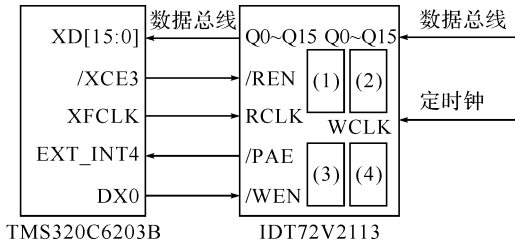


图 6 TMS320C6203B 与 IDT72V2113 的连接
Fig. 6 TMS320C6203B connect with IDT72V2113

2.6 TMS320C6203B 与 CY7C68013 的连接

CY7C68013 是一个非常方便的 USB2.0 实现方案,它提供与 DSP 或者 MCU 连接的接口,连接方法有两种:Slave FIFOs 和 Master 可编程接口 GPIF。在本方案中,选用了 Slave FIFOs 方式,异步读写。Slave FIFOs 方式是从机方式,DSP 可以

像读写普通 FIFO 一样对 CY7C68013 内部的多层缓冲 FIFO 进行读写. 具体的电路连接如图 7 所示. FLAGA、FLAGB 和 FLAGC 是 CY7C68013 内部 FIFO 的状态标志, C6203B 通过通用 I/O 口来获得 FIFO 的空、半满(由用户设定半满的阈值)和满等状态信息. C6203B 对 CY7C68013 内部 FIFO 的选择, 以及数据包的提交也是通过通用 I/O 口来实现. C6203B 通过 EMIF 接口的 CE2 空间对 CY7C68013 进行读写操作. 工作过程为: DSP 通过 USB 向 PC 发送数据时, 首先查看空、半满和满这三个状态信号, 然后向 USB 写入适当大小的数据, 以保证数据不会溢出; PC 机通过 USB 向 DSP 发送命令字时, USB 通过中断方式通知 DSP 读取命令字.

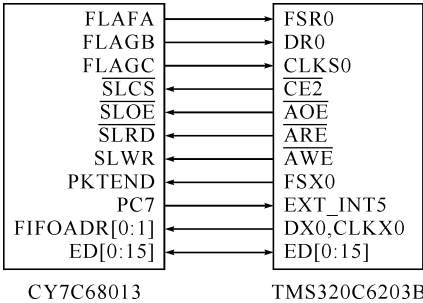


图 7 TMS320C6203B 与 CY7C68013 的连接

Fig. 7 TMS320C6203B connect with CY7C68013

3 系统软件设计

该系统以 C6203 DSP 为核心处理器, 实现高数数据信号的采集与频谱分析, 将频谱结果实时传输到 PC 机. 由于 DSP 的选型, 故软件开发平台是针对 TMS320 系列 DSP 的集成开发环境 CCS (Code ComposerStudio). 本文设计的系统上电后, AD 开始采样, 同时 DSP 初始化、设置 DMA 通道、初始化定时器 0 且定时间隔 22ms. 当外部同步信号到来时, 启动定时器 0, 手动启动 DMA 通道 0, AD 采样产生的数据开始写入 FIFO, 当定时器 0 中断到来时, 关闭 FIFO 的写使能, 采样数据不再存储到 FIFO 内. 随着数据不断写入 FIFO, 使得 DSP 的外部中断信号有效, 从而触发 DMA 传输, 将数据存储 DSP 内部 RAM 中, 传输结束后发送中断, 通知 DSP 处理数据. DSP 处理完数据后, 通过 USB 接口发送处理结果, 然后重启 DMA 通道 0, 进行下一次 DMA 传输. 系统程序流程图如图 8 所示.

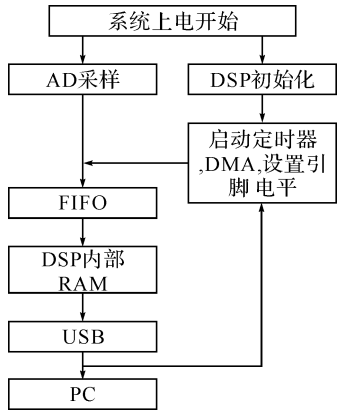


图 8 系统程序流程图

Fig. 8 Program diagram of system

4 测试结果分析

经验证, 以 TMS320C6203B 和 IDT72V2113 为核心的数据采集系统, 采集频率为 30 MHz 的高速信号, 系统以 60 MHz 的采样速率稳定工作, 并实时传输数据. 由于采用 FIFO 存储数据, 可方便存储大量数据. 特别的是, 由于 TMS320C6203B 和 IDT72V2113 的封装较小、引脚密, 且系统工作频率高, 故在 PCB 布线布局和系统调试中, 必须注意电磁兼容(EMC)问题, 否则系统难以稳定工作.

5 结 语

以上给出了一种基于 DSP 和 FIFO 的高速数据采集系统的设计方案, 较详细地介绍了硬件部分设计, 电路简单, 结构清晰. 实验表明: 该系统是正确可行的. 此外, 该系统为对其它领域的高速信号采集系统的设计与实现^[5-6]提供了一种借鉴方法.

参考文献:

[1] 沈兰荪. 数据采集技术[M]. 合肥: 中国科学技术大学出版社, 2000.

[2] 汪安民, 程昱, 徐保根. DSP 嵌入式系统开发典型案例[M]. 北京: 人民邮电出版社, 2007.

[3] 侯利军, 王殊, 汪安民. IDT72V2113 在高速数据采集系统中的应用[J]. 电子与封装, 2004, 4(6): 53 - 56.

[4] 侯利军, 王殊, 左炜, 等. USB2.0 接口和 DSP 构成的高速数据采集系统[J]. 应用天地, 2004, 10(4): 63 - 66.

[5] 董方武, 王绍仆, 马子余. 基于 ZigBee 的碱液质量分数在线检测系统设计[J]. 武汉工程大学学报, 2010, 32(1): 100 - 103.

[6] 熊俊俏, 冯进维, 罗帆. 基于 JN5139 的无线传感器网络节点设计与实现[J]. 武汉工程大学学报, 2010, 32(5): 88 - 90.

Hardware design and implementation of signal acquisition system based on DSP and FIFO

HE Xi , YANG Shu-bin , CAO Heng , LEI Yu-jie

(School of Electrical and Information Engineering, Wuhan Institute of Technology, Wuhan 430074, China)

Abstract: This paper advances a design of high speed data-signal acquisition system based on DSP and FIFO and gives the total design project of the system and the detailed hardware circuit. The paper includes: the formulated of FIFO's internal circuit, the design of power and reset circuit, the connection between FIFO and DSP. The architecture of circuit is clear, and the circuit is simple and easy to realize.

Key words: FIFO; DSP; high speed data-signal acquisition

本文编辑:陈小平



(上接第 74 页)

Joint time delay and frequency estimation of exponentially damped sinusoid via state-space realization

WU Yun-tao¹ , SHU Juan-juan¹ , HUANG Long-ting¹ , LI Hong-yang²

(1. Hubei Province Key Laboratory of Intelligent Robot, Wuhan Institute of Technology, Wuhan 430074, China;

2. Department of Electronic Engineering, The Chinese University of Hongkong, Hongkong, China)

Abstract: In this paper, we present a subspace-based method for joint estimation of the time delay and frequency parameter of a exponentially damped sinusoidal signal. Using state-space realization, the frequency and damped factor estimates are obtained from the eigenvalues of the state transition matrix while the time delay is determined using the observation matrix and the estimated frequencies and damped factors. The searching computation is not required in the proposed method. Moreover, the proposed approach has better numerical value stability because of being insensitive to the model error. Computer simulations show that the performance of the frequency, damped factor and time delay estimation can attain the CRLB at a wide range of SNR.

Key words: exponentially damped sinusoidal signal; frequency; time-delay; state-space

本文编辑:陈小平