

快速图像数据采集与显示控制器的设计

熊俊俏^{1*},周建军¹,熊诗琪²

(1. 武汉工程大学电气信息学院,湖北 武汉 430205;
2. 武汉工程大学计算机科学与工程学院,湖北 武汉 430205)

摘要:介绍了金属氧化物半导体图像传感器的基本格式,提出了一种基于可编程逻辑器件的高速数据采集方法,并采用 Verilog 设计了专用高速图像数据采集控制器,实现了大容量数据采集与存储功能,解决了通用处理器采集速率慢的瓶颈,并省掉了先进先出缓存器,减轻了处理器的运行开销,同时,利用软核 NIOSII 对图像进行处理和图像显示. 实验表明,所提出的方法提高了图像数据采集的速率,并具有更高的灵活性.

关键词:图像采集;现场可编程门阵列;数据采集控制器;NIOSII

中图分类号:TP317.4, TN911.73

文献标识码:A

doi:10.3969/j.issn.1674-2869.2012.1.013

0 引言

随着集成电路技术的发展,集成图像传感器已进入数字式时代^[1],输出数据为一定格式的数据流,不受外部控制. 因此,由于处理器的运行速率有限,直接应用数据总线采集数据已不可能,因此大多采用先进先出存储器先缓存处理^[1-2],如文献[2]在设计中通过现场可编程门阵列实现双时钟先进先出存储器模块,仍需要通过内部总线进行数据存储,采集速率将受到内部总线的限制;文献[3]采用现场可编程门阵列器件设计的控制器亦需要通过内部总线存储采集的数据,并利用静态随机存储器缓冲,因此,数据速率也受到内部总线速率的限制. 如果传感器数据速率增大,数据流将要求大容量的先进先出存储器,使得成本上升. 本文提出采用现场可编程门阵列器件设计专用数据采集控制器,在采集数据时直接接管静态随机存储器的数据总线,数据采集速率将与内部总线无关,仅与传感器和静态随机存储器的工作速率有关,采集完数据后利用软核处理和显示采集的图像,非常适合视频图像的实时采集.

1 系统组成与控制器设计

根据实际需要,系统由专用数字摄像头、控制器和显示器组成,数字摄像头选用 OV6620 数字图像传感器^[3],液晶显示器,控制器为 DE2 系统,内

有 3.5 万逻辑单元的可编程逻辑器件 Altera Cyclone II 2C35、512 kbyte 静态随机存储器和 1Mbyte FLASH 存储器, VGA (Video Graphics Array) 显示接口等,其中, Cyclone II 支持 NIOSII 软核微处理器,内置 32 位 Avalon 总线.

考虑 NIOSII 处理速率的限制,图像采集控制器由现场可编程门阵列模块构成,接收传感器数据,并根据地址发生器的地址写入至静态随机存储器,控制器模块只由处理器给定地址发生器的起始地址,已经启动/终止采集命令,当处理器处理数据时,通过 Avalon 总线读取数据处理,系统的结构如图 1 所示.

1.1 OV6620 图像传感器与时序

OV6620 为专用数字图像传感器^[3],内含总像素为 101 376,以及双 8 位模/数转换器,两种工作模式为 16bit/YUV 和 8bit/YUV,对应的摄像头分辨率分别为 QCIF (176 × 144 像素) 和 CIF (352 × 288 像素). OV6620 采用模块化,与外围接口只有场同步信号 VSYN、行同步信号 HREF、像素同步信号 PCLK (像素同步信号) 和数据总线 DATA,逐行数据读出,数据格式为 YCrCb 4:2:2、GRB 4:2:2 或 RGB 原始数据,通过串行控制总线可编程,可实现图像增强处理,如色彩饱和度、亮度、对比度、白平衡、曝光时间、增益控制等,常用于视频会议、视频电话、视频监控和多媒体等场所. OV6620 的工作时序如图 2 所示,图 2 中 VSYN 为场同步信

收稿日期:2011-11-23

基金项目:武汉工程大学研究生创新基金资助项目

作者简介:熊俊俏(1966-),男,湖北天门人,副教授,硕士. 研究方向:电子技术.

* 通讯联系人

号, HREF 为行同步信号, 像素同步信号 PCLK 为 效图像数据.
读取有效像素值提供同步信号, 高电平时输出有

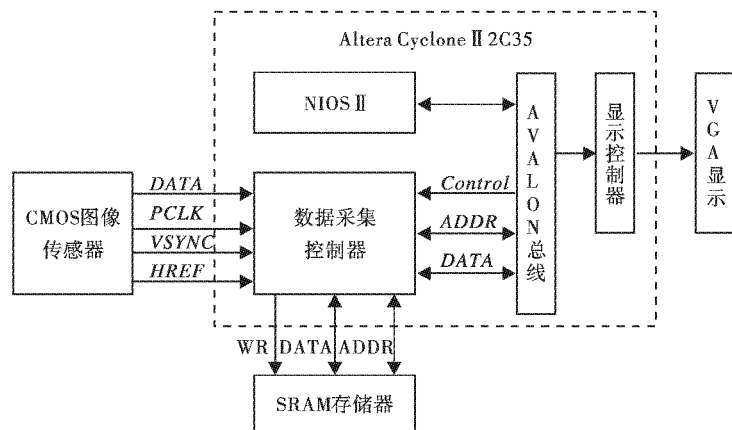


图 1 图像数据采集与显示结构框图

Fig. 1 Image data acquisition and display block diagram

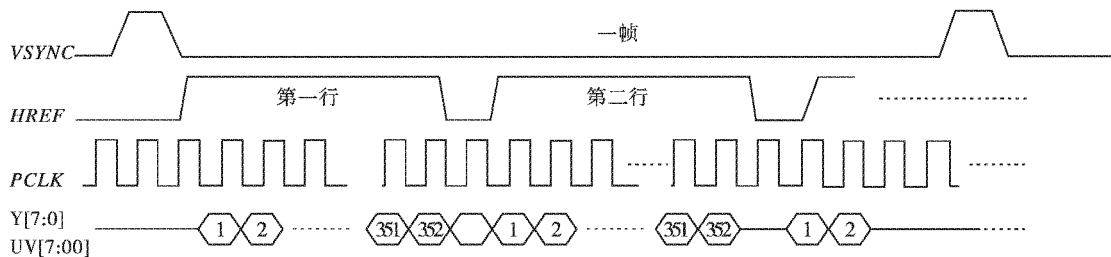


图 2 OV6620 工作时序

Fig. 2 Timing of OV6620

在 CIF 状态下, OV6620 的工作时序如图 2 所示, VYNSC 为帧信号, 周期是 20 ms, 其中高电平持续时间很短; HREF 是为行脉冲信号, 周期为 63 μ s 左右, 其中高电平持续时间为 40 μ s, 低电平持续时间 23 μ s, 对照时序图可以计算 OV6620 的分辨率为: 20 ms/63 μ s = 317, 但实际并没有这么多, 除去消隐和无效信号后只有 292 行; 每一行的像素为 40 μ s/110 ns = 363 个, 去掉消隐和无效信号后为 356 个, 因此, OV6620 的分辨率为 356 \times 292. 通过实际测量, PCLK 的周期只有 150 ns, 因此, 不能直接采用处理器的中断或查询采集图像数据.

1.2 数据采集控制器设计

根据 OV6620 的工作时序, 帧信号决定了数据流的起始点, 行脉冲决定了每一行数据的起始位置和长度, 像素同步信号提供了数据读时钟, 但需要考虑的是: 数据读时钟持续有效, 而实际有效数据个数由帧脉冲和行脉冲决定. 因此, 数据采集控制器的写信号为 PCLK, 地址发生器实际为地址累加器, 初始地址通过 NIOSII 预置, PCLK 为地址发生器的时钟. 具体的程序流程和内部结构如图 3

所示.

考虑到错误冗余, 在每一行的数据存储地址空间为 360, 比实际的 352 大, 每一帧的空间为 360 \times 295, 因此, 每一帧的首地址由处理器预置, 每一个像素的存储地址为

$$A = Q_0 + Q_1 \cdot 360 + Q_2$$

式中, Q_0 为每一帧的起始地址, 由处理器预置, Q_1 为行脉冲计数器值, Q_2 为地址累加器的值, 每个 PCLK 时钟自动加一.

该控制器模块采用 Verilog 描述, 经过编译下载执行, 可获得稳定的采样数据. 这里需要注意的是, 由于数据采集开始的指令与帧脉冲信号不一致, 因此每帧数据的采集时间应超过 2 帧的时间, 才能保证完整的一帧数据存储在指定的空间, 这是由于只有第一帧的振脉冲下降沿才能确定存储起始地址的缘故, 本系统取 40 ms 完成一帧数据采集.

2 系统软件设计

系统软件主要完成控制器的初始地址预置、图像数据处理与显示. 由于采集的数据为 YUV 格式, 需要转化为 RGB 格式才能由 VGA 显示.

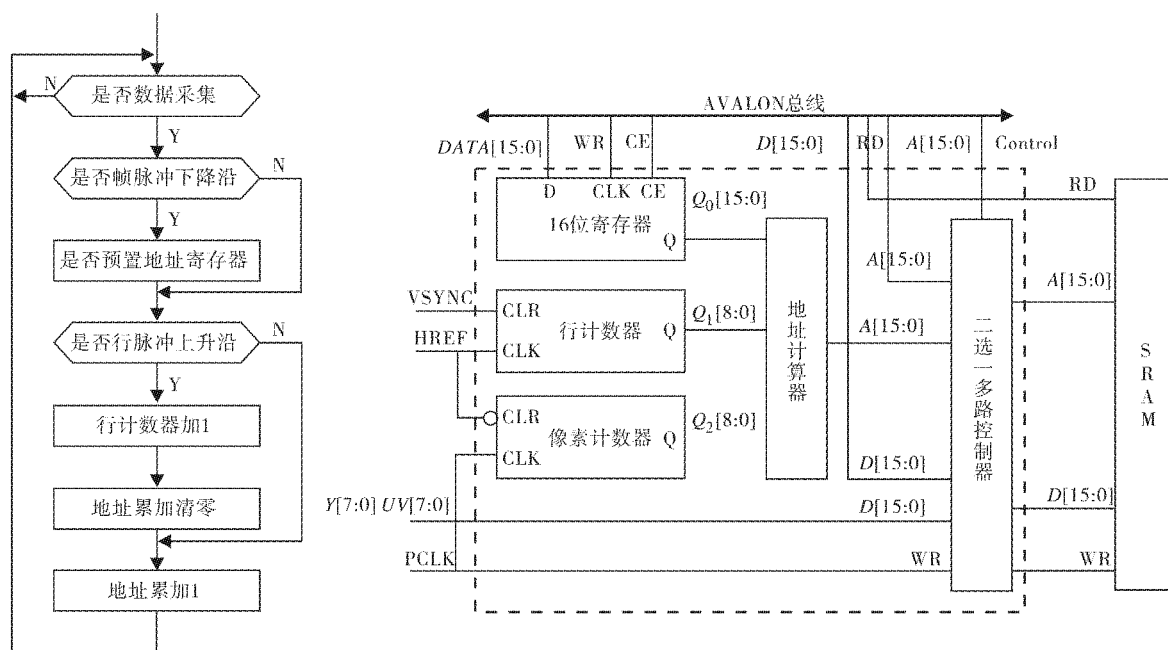


图3 控制器时序与内部结构

Fig. 3 Controller processes and internal structure

YUV 与 RGB 的转换关系为

$$Y = 0.59G + 0.31R + 0.11B$$

$$U = R - Y$$

$$V = B - Y$$

首先系统初始化,设置数据存储空间首地址,为开始图像采集作准备,进入主循环,启动采集控制器工作. 根据需要完成采集图像帧数目,开始进行图像处理和显示^[4]. 程序流程如图4所示.

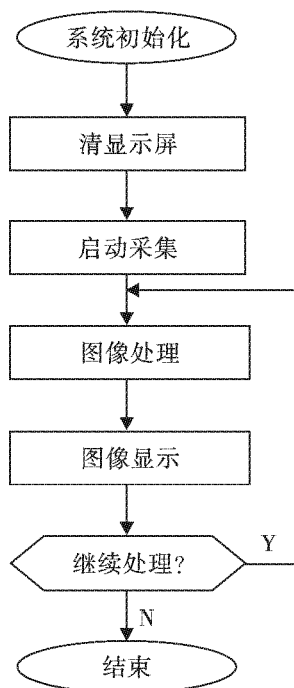


图4 系统软件流程

Fig. 4 System software program flow

显示模块是将采集的图片对比,VGA 显示为 640×480 ,将采集的图片裁剪置入 640×480 矩阵中,改变图片在矩阵中的坐标存放,并一起在 VGA 屏上显示.

根据实际需要,对图像传感器采集的彩色图像做灰度处理,并采用阈值分割法,对目标和背景占据不同灰度级范围的图像,压缩数据量,并设定阈值将采集的图像作二值化处理,获得边界轮廓.

3 结果分析与结论

将设计的控制器与内核 NIOSII 一并编译下载,并装配程序执行. 根据需要,系统连续采集多帧图像,并显示在 VGA 显示屏上,如图5所示.

利用现场可编程门阵列芯片的高速特性实现高速数据采集与存储,并采用片上系统 NIOSII 进行数据处理和显示,全部设计在一片 Altera Cyclone II 2C35 上完成,节省了硬件开销,提高了数据采集的速度,不占用处理器的资源,其在线可编程功能提高设计应用的灵活性. 所设计的采集控制器为硬件模块,也适用于其它高速数据采集场合. 高速图像采集与显示的实现,为下一步图像识别和控制提供了基础,在此特别感谢 Altera 公司提供的 DE2 平台和技术指导.

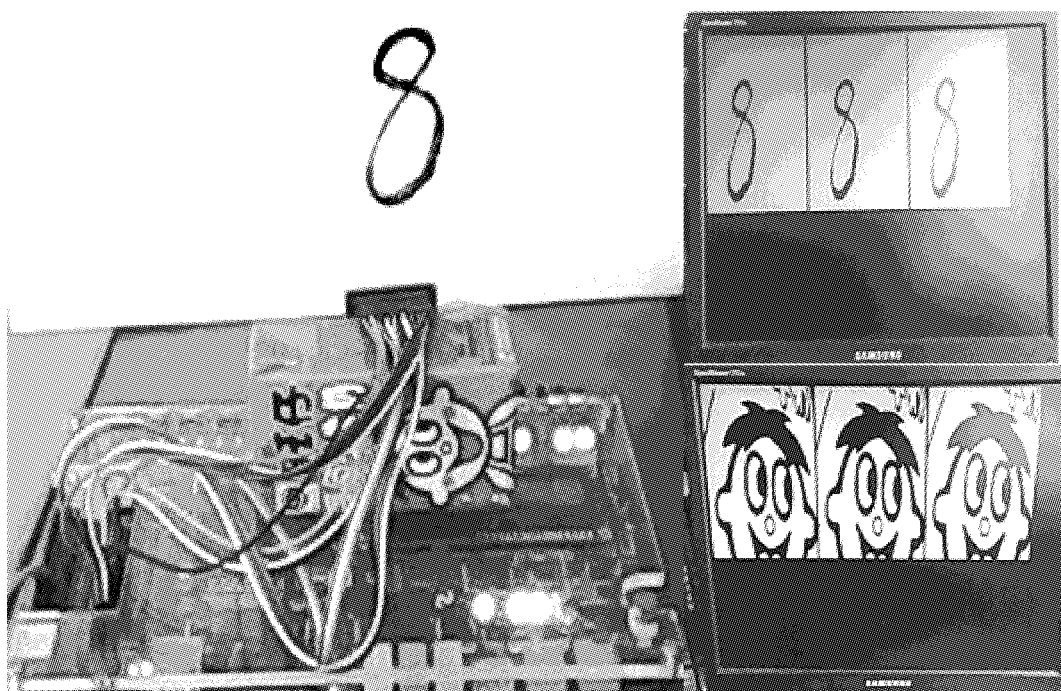


图 5 实物与采集的图片显示

Fig. 5 The Actual Object and its Display

参考文献:

- [1] 许峥,李明,李成金,等. 基于 SOPC 的实时图像处理系统设计[J]. 光电技术应用, 2011,26(4):4-7.
- [2] 尚媛园,杨新华,徐达维. 基于 SOPC 技术的高速图像采集控制系统的设计与研究[J]. 传感技术学报, 2011,24(6):864-869.
- [3] OV6620 SINGLE-CHIP CMOS CIF COLOR DIGITAL CAMERA [EB/OL]. <http://www.cs.cmu.edu/~cmucam/Downloads/ov6620DSLF.PDF>. 2000-03-13/2011-07-10.
- [4] 廖永清,丁旭昌,付建国. 基于 FPGA 的 VGA 图像动态显示控制器的设计与实现[J]. 电视技术, 2011, 35(17):52-54.

Design of high-speed image acquisition and display controller

XIONG Jun-qiao¹, ZHOU Jian-jun¹, XIONG Shi-qi²

(1. School of Electrical and Electronic Engineering, Wuhan Institute of Technology, Wuhan 430205, China;

2. School of Computer Science and Engineering, Wuhan Institute of Technology, Wuhan 430205, China)

Abstract: The basic format CMOS(Complementary Metal-Oxide-Semiconductor) image sensor was introduced, a high-speed data acquisition methods based on FPGA(Field Programmable Gate Array) was presented, and the special high-speed image data acquisition controller was designed with Verilog language, the high capacity data acquisition and storage function were realized with the controller, and the bottleneck of slow acquisition rate for the general-purpose processor was solved without the FIFO(First Input First Output) buffer, and this reduced the occupied time by the processor. At the same time, the image was processed and shown with soft-core NIOSII. Experiments showed that the proposed method could improve the image data acquisition rate, and greater flexibility.

Key words: image acquisition; FPGA(Field Programmable Gate Array); acquisition controller; NIOSII

本文编辑:陈小平